

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 31 545.4

Anmeldetag: 11. Juli 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Digital-Analog-Wandler und Verfahren zur Digital-Analog-Wandlung

IPC: H 03 M 1/74

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Juli 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Kahlé

BEST AVAILABLE COPY

Digital-Analog-Wandler und Verfahren zur Digital-Analog-Wandlung

Beschreibung

5

Die vorliegende Erfindung betrifft einen Digital-Analog-Wandler und ein Verfahren zur Digital-Analog-Wandlung, und insbesondere einen D/A-Wandler mit einer Feldanordnung von Stromzellen unter Einsatz von DEM (Dynamic Element Matching) und ein entsprechendes Wandlungsverfahren.

10

D/A-Wandler werden heutzutage in vielfältigen Anwendungen eingesetzt. In solchen Applikationen muß stets aus einem digitalen Signal mit Hilfe einer Quantisiereinrichtung ein quantisiertes Analogsignal erzeugt werden. Problematisch dabei ist in aller Regel, daß die Quantisiereinrichtung, welche oft aus einer Vielzahl von Quantisierungselementen besteht, keine beliebig hohe Genauigkeit des quantisierten analogen Ausgangssignals gewährleisten kann.

20

Um das Problem ungenauer bzw. unpräziser Quantisierungselemente in D/A-Wandlern zu umgehen, ist es bekannt, DEM (Dynamic Element Matching) einzusetzen, wie in "Design of Multibit Delta-Sigma A/D Converters" von Yves Geerts, Michael Steyaert, Willy Sansen, Kluwer Academic Publisher, ISBN 1-4020-7078-0, auf den Seiten 74 bis 97, beschrieben. Von Nachteil beim Einsatz von DEM ist, daß D/A-Wandler mit einer hohen Auflösung, d.h. mit vielen Quantisierungselementen der Quantisiereinrichtung, dabei eine sehr komplexe Hardware erfordern.

30

D/A-Wandler mit einer hohen Auflösung werden deshalb bekanntermaßen vorzugsweise als eine Feldanordnung von Stromquellen



30

Es ist deshalb Aufgabe der vorliegenden Erfindung, einen D/A-Wandler bereitzustellen, welcher bei einer großen Auflösung einen kleinen Quantisierungsfehler generiert. Erfin-

11-55555/51/510 3

5
10
15
20

dungsgemäß wird diese Aufgabe durch den Digital-Analog-Wandler gemäß Anspruch 1 und durch das Verfahren zur Digital-Analog-Wandlung gemäß Anspruch 9 gelöst.

5 Die der vorliegenden Erfindung zugrunde liegende Idee besteht im wesentlichen darin, eine DEM-Einrichtung mit einem hochauflösenden D/A-Wandler zu kombinieren, welcher eine Feldanordnung aus Zellen, vorzugsweise mit Stromquellen, aufweist. Dadurch kann die Fläche bzw. ein zusammenhängender Block der
10 Energiequellen, vorzugsweise Stromquellen, welche eingeschaltet sind, an jede Stelle in der Feldanordnung geschaltet werden. Somit kann ein dynamisches Austauschen der Zellen der Feldanordnung und damit der einzelnen in der Regel unpräzisen Energiequellen erfolgen. Außerdem wird demgemäß jede Energie-
15 quelle, vorzugsweise Stromquelle, der Zellen in der Feldanordnung gleich häufig eingeschaltet werden, wodurch im wesentlichen eine statistische Streuung der Einzelquantisierungsfehler einer Einzelzelle im Einfluß auf das quantisierte analoge Ausgangssignal erreicht wird.

20 In der vorliegenden Erfindung wird das eingangs genannte Problem insbesondere dadurch gelöst, daß ein D/A-Wandler bereitgestellt wird mit: einer DEM-Logikeinrichtung zum Generieren von zumindest zwei digitalen Ausgangsdaten aus den
25 digitalen Eingangsdaten nach einem vorbestimmten Algorithmus unter Bestimmung einer Anfangszelle und einer Endzelle in der Feldanordnung, zwischen welchen Zellen mit zu aktivierenden Energiequellen liegen; einer Decodereinrichtung zum Decodieren der zumindest zwei digitalen Ausgangsdaten der DEM-Einrichtung in Ansteuersignale zum Aktivieren der zu aktivieren-
30 den Zellen; und einer Feldanordnung von Zellen zum Ausgeben zumindest eines quantisierten Analogsignals in Abhängigkeit der Ansteuersignale.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Ausgestaltungen des im Anspruch 1 genannten Digital-Analog-Wandlers und des im Anspruch 9 genannten Verfahrens zur Digital-Analog-Wandlung.

Gemäß einer bevorzugten Weiterbildung weist die Feldanordnung Einzelzellen mit jeweils einer Stromquelle auf.

10 Gemäß einer weiteren bevorzugten Weiterbildung weist die DEM-Logikeinrichtung einen Paralleleingang zum Zuführen der digitalen Eingangsdaten auf, welche über eine vorbestimmte Bit-Breite verfügen.

15 Gemäß einer weiteren bevorzugten Weiterbildung weist die DEM-Logikeinrichtung ausgangsseitig zwei digitale Ausgangsdaten, ein Vorzeichensignal und ein Taktsignal auf, welche an die Decodereinrichtung gekoppelt sind.

20 Gemäß einer weiteren bevorzugten Weiterbildung weist die Decodereinrichtung ausgangsseitig zwei Zeilenansteuersignale und drei Spaltenansteuersignale und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale und drei komplementäre Spaltenansteuersignale auf, welche zum Aktivieren von Energiequellen vorbestimmter Zellen an die Feldanordnung gekoppelt sind.

Gemäß einer weiteren bevorzugten Weiterbildung weist die Feldanordnung zwei zueinander inverse quantisierte analoge Ausgangssignale auf.

Gemäß einer weiteren bevorzugten Weiterbildung weist die Feldanordnung Einzelzellen mit jeweils einer lokalen De-

codereinrichtung auf, welche eingangsseitig jeweils zwei Zeilenansteuersignale und drei Spaltenansteuersignale und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale und drei komplementäre Spaltenansteuersignale aufweist.

5

Gemäß einer weiteren bevorzugten Weiterbildung weist die Feldanordnung jeweils eine Kantenlänge von mindestens 64 Zellen entsprechend einer Bit-Breite des Eingangssignals von mindestens 12 Bit auf.

10

Gemäß einer weiteren bevorzugten Weiterbildung werden in der DEM-Einrichtung aus den digitalen Eingangsdaten nach einem vorbestimmten Algorithmus eine Anfangszelle und ein Endzelle in der Feldanordnung bestimmt, zwischen welchen Zellen mit aktivierten Energiequellen liegen, und insbesondere, wenn die aktivierten Zellen die letzte Zelle der Feldanordnung erreichen, werden an der ersten Zelle der Feldanordnung anknüpfend Zellen aktiviert.

15

Gemäß einer weiteren bevorzugten Weiterbildung wird ein DWA (Data Weighted Averaging)-Algorithmus oder ein bi-DWA (bidirectional Data Weighted Averaging)-Algorithmus oder ein ILA (Individual Level Averaging)-Algorithmus in der DEM-Einrichtung zum Bestimmen der zu aktivierenden Zellen der Feldanordnung eingesetzt.

20
25

Gemäß einer weiteren bevorzugten Weiterbildung schaltet eine lokale Decodereinrichtung in einer Zelle der Feldanordnung eine Energiequelle in der Zelle auf einen Ausgang der Decodereinrichtung, wenn ein erstes Spaltensignal und ein erstes Zeilensignal, oder ein zweites Spaltensignal und ein zweites Zeilensignal, oder ein drittes Spaltensignal aktiviert werden.

30

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

5

Es zeigen:

10

Fig. 1 ein schematisches Blockdiagramm eines D/A-Wandlers zur Erläuterung einer Ausführungsform der vorliegenden Erfindung;

15

Fig. 2 ein schematisches Schaltbild zur Erläuterung eines Details einer Ausführungsform der vorliegenden Erfindung;

20

Fig. 3A,B ein schematisches Diagramm eines Details eines D/A-Wandlers zur Erläuterung der Funktionsweise der vorliegenden Erfindung, wobei die dargestellten Zustände sich im Vorzeichensignal unterscheiden;

25

Fig. 4A-D jeweils ein schematisches Diagramm zur Erläuterung unterschiedlicher Algorithmen; und

Fig. 5 eine schematische Zellen-Feldanordnung zur Erläuterung eines Details eines bekannten D/A-Wandlers.

30

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

In Fig. 1 ist ein schematisches Blockdiagramm eines erfindungsgemäßen D/A-Wandlers dargestellt, welcher eine DEM-

Logikeinrichtung 10 (Dynamic Element Matching) aufweist. Der DEM-Logikeinrichtung 10 werden digitale Daten 11 über einen Eingang zugeführt. Vorzugsweise kommt dabei als Eingang ein Paralleleingang zum Einsatz, welcher z.B. mit zwölf Leitungen bei einer Bit-Breite eines zugeführten digitalen Datums von 12 Bit aufweist. Ein Taktsignal 12 ist ebenfalls an die DEM-Logikeinrichtung 10 gekoppelt. In der DEM-Logikeinrichtung 10 wird auf Basis des am Eingang anliegenden digitalen Signals 11 mit Hilfe eines vorbestimmten im nachfolgenden beschriebenen Algorithmus zwei digitale Ausgangsdaten 13, 14 und ein Vorzeichensignal 15 generiert. Das erste digitale Ausgangssignal 13 der DEM-Logikeinrichtung 10 definiert eine Anfangszelle und das zweite digitale Ausgangssignal 14 definiert eine Endzelle, zwischen denen aktivierte Zellen 24 (nachfolgend beschrieben) liegen. Sowohl das erste digitale Ausgangssignal 13 als auch das zweite digitale Ausgangssignal 14 wird beispielsweise jeweils über zwölf Leitungen (Bit-Breite 12 Bit) einer Decodereinrichtung 16 zugeführt. Die Decodereinrichtung 16 empfängt darüber hinaus auch das Taktsignal 12 und das Vorzeichensignal 15 von der Logikeinrichtung 10.

In der Decodereinrichtung 16 werden die zwei digitalen Ausgangssignale 13, 14 der DEM-Logikeinrichtung 10 und das Vorzeichensignal 15 in Ansteuersignale 17, 18, 19, 20, 21 für eine Feldanordnung 22 einzelner Zellen 23 umgewandelt. Die Ansteuersignale 17, 18, 19, 20, 21 gliedern sich vorzugsweise wie folgt, um eine vorbestimmte Anzahl von Zellen 23 der Feldanordnung 22 zu aktivieren. Ein erstes Spaltenansteuersignal 17 legt zusammen mit einem ersten Zeilenansteuersignal 18 fest, ab welcher Zelle 23 der Feldanordnung 22 aktivierte Zellen 24 beginnen sollen. Ein zweites Spaltenansteuersignal 19 und ein zweites Zeilenansteuersignal 20 dient der Festlegung der Anzahl aktivierter Zellen 24 in der letzten Spalte

der Feldanordnung 22, welche aktivierte Zellen 24 aufweisen soll, um durch Aktivierung einer vorbestimmten zwischenliegenden Anzahl von Zellen einen quantisierten Ausgangssignale-
pegel 25 zu generieren. Das Spaltenansteuersignal 21 legt die
5 vollständig aktivierten Spalten der Feldanordnung 22 zur Generierung des quantisierten Ausgangssignals 25 fest.

Gemäß der in Fig. 1 dargestellten Ausführungsform sind neben den Ansteuersignalen 17, 18, 19, 20, 21 auch dazu entspre-
10 chend inverse Ansteuersignale 17', 18', 19', 20', 21' vorge-
sehen. Die Feldanordnung 22 ist vorzugsweise mit einem Referenzstromsignal 26 verbunden, welches den gleichen Pegel wie das maximale Ausgangssignal 25, d.h. alle Zellen der Feldanordnung 22 sind aktivierte Zellen 24, aufweist. Ein zum quan-
15 tisierten Ausgangssignal 25 die Differenz zum Referenzstrompegel 26 aufweisendes zweites Ausgangssignal 25' ist vorzugsweise zusätzlich vorhanden.

In Fig. 2 ist schematisch ein Schaltbild zur Erläuterung
20 eines exemplarischen Aufbaus einer einzelnen Zelle 23 der Feldanordnung 22 dargestellt. Die mit Bezug auf Figur 2 erläuterte lokale Decodereinrichtung 27 weist eine Potentialquelle 28 auf, welche beispielsweise 2,5 V gegenüber einem Bezugspotential 29 bereitstellt. Eine Stromquelle 30 als
25 exemplarische Energiequelle 30 liefert einen konstanten vorbestimmten Strom, welcher in Abhängigkeit der Ansteuersignale 17, 17', 18, 18', 19, 19', 20, 20', 21, 21' über einen ersten Widerstand 31 oder einen zweiten Widerstand 32 als Strombeitrag 33 des Ausgangssignals 25 gemäß Fig. 1 oder als Strom-
30 beitrag 34 des Ausgangssignals 25' fließt. Für die Schaltung der Decodereinrichtung 27 werden vorzugsweise p-Kanal FETs 35 und n-Kanal FETs 36 eingesetzt, welche über die Ansteuersignale 17 bis 21' gate-seitig angesteuert werden.

Die lokale Decodereinrichtung 27 gemäß Fig. 2 repräsentiert exemplarisch die logische Funktion, daß der Strombeitrag 33 durch den ersten Widerstand 31 als Beitrag einer aktivierten Einzelzelle 24 zum Ausgangsstrom 25 gemäß Fig. 1 fließt, wenn entweder das Spaltenansteuersignal 21 oder das erste Spalten- und das erste Zeilenansteuersignal 17, 18 gleichzeitig oder das zweite Spaltensignal 19 und das zweite Zeilensignal 20 gleichzeitig aktiviert sind, d.h. einen high-Pegel aufweisen. Das Ausgangssignal 25 summiert die Strombeiträge 33 der aktivierten Zellen 24. Liegt als Spaltenansteuersignal 21 ein High-Pegel an, so wird das Potential an einem Verknüpfungspunkt 37 auf das Bezugspotential 29 gelegt, wodurch der p-Kanal FET 35 im linken Strang zwischen der Stromquelle 30 und dem ersten Widerstand 31 leitend wird. Dadurch fließt der Strombeitrag 33 im linken Strang. Entsprechendes folgt, wenn ein High-Pegel als Spaltenansteuersignal 17 und gleichzeitig als Zeilenansteuersignal 18 anliegt. Dasselbe Resultat liegt vor, wenn das zweite Spaltenansteuersignal 19 und gleichzeitig das zweite Zeilenansteuersignal 20 einen High-Pegel aufweisen.

Die Ansteuersignale 17 bis 21 und die dazu invertierten Ansteuersignale 17' bis 21' werden eingesetzt, so daß kapazitiv eingekoppelte Störungen von diesen Signalen auf die analogen Strombeiträge 33, 34 bzw. die quantisierten Ausgangsströme 25, 25' gemäß Fig. 1 in erster Näherung eliminiert werden. Mit dem lokalen Decoder 27 gemäß Fig. 2 können höhere Spannungen 28 an den Stromquellen 30 jeder einzelnen Zelle 23 der Feldanordnung 22 gehandhabt werden. Der differentielle Decoder 27 gemäß Fig. 2 kann beispielsweise außerdem mit einem Taktsynchronisationsblock versehen sein (nicht dargestellt).

Mit Bezug auf die Fig. 3A und 3B wird schematisch die Ansteuerung von Zellen 23 der Feldanordnung 22 erläutert. Das erste Spaltenansteuersignal 17 ist wie ein Vektor gestaltet, welcher die Länge einer Matrix-Seite der Feldanordnung 22 aufweist. Lediglich in der Spalte, in welcher der Anfangswert der aktivierten Zellen 24 liegt, ist eine Eins vorgesehen, ansonsten Nullen. Entsprechendes gilt für das zweite Spaltenansteuersignal 19, welches als Vektor nur eine Eins in der Spalte aufweist, in welcher die letzte der aktivierten Zellen 24 liegt. Das Spaltensignal 21 wird durch einen Vektor repräsentiert, welcher bei jeder vollständig aktivierten Spalte eine Eins, ansonsten Nullen aufweist.

Das erste Zeilenansteuersignal 18 wird durch einen Vektor repräsentiert, welcher ab der ersten aktivierten Zelle 24 Einsen aufweist, davor mit Nullen versehen ist. Das zweite Zeilenansteuersignal 20 ist ein Vektor, welcher bis zur letzten der aktivierten Zellen 24 eine Eins aufweist, nachfolgend jedoch mit Nullen versehen ist. Auf diese Weise werden an den Zellen 23 der Feldanordnung 22 entsprechende Pegel gemäß Fig. 2 angelegt, wodurch ein Block aktiver Zellen 24 gemäß Fig. 3A generiert wird. Jede aktive Zelle 24 weist einen vorbestimmten Ausgangspegel (gemäß der vorliegenden Ausführungsform einen vorbestimmten Strompegel) auf, und folglich ergibt sich als quantisiertes Ausgangssignal 25 gemäß Fig. 1 ein Stromwert, welcher der Anzahl der aktivierten Zellen 24 mal dem vorbestimmten Strombeitragspegel 33 gemäß Fig. 2 entspricht. In Fig. 3 ist dabei das Vorzeichensignal 15 gemäß Fig. 1 mit einem Low-Pegel, d.h. Null, versehen. Das bedeutet, daß kein Übertrag bzw. eine Fortsetzung eingeschalteter Zellen 24 eines aktivierten Blockes, welcher aktivierte Einzelzellen 24 über die letzte Zelle der Feldanordnung 22 hinaus erfordert

und somit gemäß Fig. 3B bei der ersten Zelle der Feldanordnung 22 fortgesetzt wird.

5 Im Beispiel gemäß Fig. 3B reichen die Zellen, beginnend mit einer aktivierten Zelle im rechten Block aktivierter Zellen 24, nicht aus, um ein Ausgangssignal 25 mit entsprechend hohem Pegel gemäß dem digitalen Eingangssignal 11 nach Fig. 1 bereitzustellen, und so wird der Block beginnend bei der ersten Zelle der Feldanordnung 22 links oben fortgesetzt
10 (linker Block aktivierter Zellen 24 in Fig. 3B). Das Vorzeichensignal weist hierbei einen High-Pegel, d.h. Eins, auf. Derart wird sichergestellt, daß trotz des Setzens bzw. Verschiebens des Blocks aktivierter Zellen 24, einem DEM-Algorithmus folgend, der volle Wiedergabebereich, d.h. die
15 volle Anzahl von Quantisierstufen, d.h. die Zellengesamtanzahl der Feldanordnung 22 (Spalten mal Zeilen) zur Verfügung steht. Gemäß dem vorliegenden Beispiel wird davon ausgegangen, daß die Zelle links oben die erste Zelle der Feldanordnung 22 und die Zelle rechts unten entsprechend die letzte
20 Zelle der Feldanordnung 22 ist.

Die Fig. 4A bis 4D zeigen Zeitdiagramme zur Erläuterung verschiedener in der DEM-Logikeinrichtung 10 anwendbarer Algorithmen. Dabei wird pro Zeittakt ein in acht Quantisierungsstufen quantisierbarer Wert wiedergegeben. Es existiert hier
25 zur Wandlung beispielhaft somit lediglich eine Zeile, d.h. jede Zeile zeigt einen neuen Abtastzeitpunkt, im Gegensatz zu Fig. 1 und Fig. 3A,B, in welchen stets ein Abtastzeitpunkt bei einem zweidimensionalen Zellenfeld 22 dargestellt ist.

30

Gemäß Fig. 4A ist lediglich eine einfache Thermometercodierung ohne DEM dargestellt. Die Zahl hinter einer Zeile steht in allen Abbildungen 4A bis 4D für einen quantisierten Wert.

Ohne DEM wird ein Ausgangssignalpegel (Anzahl der schwarz ausgefüllten Kästchen) aus aktivierten Zellen 24 immer mit dem ersten Kästchen auf der linken Seite beginnend dargestellt. Das heißt, das linke Kästchen wird viel häufiger
5 aktiviert als das Kästchen rechts außen.

Im Diagramm gemäß Fig. 4 wird die gleiche Zahlenfolge (4, 2, 3, 1, 4, 5, 2, 3, 7, 2, ...), wie in Fig. 4A, durch aktivierte Kästchen 24 zu aufeinanderfolgenden Abtastzeitpunkten über
10 der Zeit t dargestellt, wobei eine Codierung gemäß eines ILA-Algorithmus (Individual Level Averaging) eingesetzt wird. Dieser rotatorische Ansatz setzt einen Block aktiver Zellen 24 zu jedem neuen Absatzzeitpunkt, d.h. gemäß der Darstellung in jeder neuen Zeile, in anderer Richtung am Ende des
15 vorherigen Blockes an.

Bei einem DWA-Algorithmus (Data Weighted Averaging) gemäß Figur 4C wird ein neuer Block aktiver Zellen 24 stets in gleicher Richtung am Ende des vorherigen Blocks fortsetzend
20 angehängt. Wird das Ende der Zeile dabei erreicht (hier siehe dritte Zeile), so wird vorne in der Zeile fortsetzend der quantisierte Wert wiedergegeben.

Im Diagramm gemäß Fig. 4D wird exemplarisch ein bi-DWA-Algorithmus (bidirectional Data Weighted Averaging) verdeutlicht, wobei in den ungeraden Zeilen aktivierte Zellen 24 in einer
25 Richtung am Ende des Blockes aktivierter Zellen 24 der vorletzten Zeile anknüpfend die quantisierten Werte wiedergegeben werden. In der zweiten, vierten, sechsten, ... Zeile
30 werden die Blöcke aktivierter Zeilen 24 entsprechend stets in der entgegengesetzten Richtung angehängt.

Diese und weitere Algorithmen sind in der DEM-Logikeinrichtung 10 einsetzbar, um Blöcke aktivierter Zellen 24 auch in einer zweidimensionalen Feldanordnung 22 gemäß Fig. 1 mit jedem neuen Taktsignal am Ende des Blocks aktivierter Zellen des vorherigen Abtastzeitpunktes anzuknüpfen.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar. Obwohl mit Bezug auf eine Eingangs-Bit-Breite von 12 Bit, d.h. 4.096 Quantisierungsstufen, und eine Feldanordnung 22 mit 64 Zeilen und 64 Spalten (in den Fig. 1 und 3 kleiner dargestellt) erläutert, kann die Vorrichtung bzw. das Verfahren auch beliebige kleinere oder größere Feldanordnungen 22 zur quantisierten Umwandlung in ein Analog-Signal einsetzen.

Anstatt Stromquellen als Energiequellen 30 gemäß Fig. 2 einzusetzen, besteht grundsätzlich auch die Möglichkeit, in jeder Zelle eine Spannungsquelle mit vorbestimmter Ausgangsspannung vorzusehen, wobei als Ausgangssignal 25 der Feldanordnung 22 gemäß Fig. 1, insbesondere durch Reihenschaltung der Spannungspegel der aktivierten Einzelzellen 24, das Ausgangssignal 25 generiert wird. Darüber hinaus ist der Aufbau einer Zelle gemäß Fig. 2 mit der Decodereinrichtung 27 beispielhaft und kann unter Bereitstellung der gleichen logischen Funktion auch andersartig ausgeführt werden.

Patentansprüche

1. Digital-Analog-Wandler mit:

5 einer DEM-Logikeinrichtung (10) zum Generieren von zumindest zwei digitalen Ausgangsdaten (13, 14) aus digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus unter Bestimmung einer Anfangszelle und einer Endzelle in der Feldanordnung (22), zwischen welchen Zellen (24) mit
10 zu aktivierenden Energiequellen (30) liegen;

einer Decodereinrichtung (16) zum Decodieren der zumindest zwei digitalen Ausgangsdaten (13, 14) der DEM- Einrichtung (10) in Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') zum Aktivieren der zu aktivieren-
15 den Zellen (24); und

einer Feldanordnung (22) von Zellen (23) zum Ausgeben zumindest eines quantisierten Anlogsignals (25, 25') in
20 Abhängigkeit der Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21').

2. Digital-Analog-Wandler nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
25 daß die Feldanordnung (22) Einzelzellen (23) mit jeweils einer Stromquelle als Energiequelle (30) aufweist.

3. Digital-Analog-Wandler nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t ,
30 daß die DEM-Logikeinrichtung (10) einen Paralleleingang zum Zuführen der digitalen Eingangsdaten (11) aufweist, welche über eine vorbestimmte Bit-breite verfügen.

4. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

daß die DEM-Logikeinrichtung (10) ausgangsseitig zwei digitale Ausgangsdaten (13, 14), ein Vorzeichensignal (15), und ein Taktsignal (12) aufweist, welche an die Decoder-einrichtung (16) gekoppelt sind.

5. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

daß die Decodereinrichtung (16) ausgangsseitig zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') aufweist, welche zum Aktivieren von Energiequellen (30) vorbestimmter Zellen (24) an die Feldanordnung (22) gekoppelt sind.

6. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

daß die Feldanordnung (22) zwei zueinander inverse quantisierte analoge Ausgangssignale (25, 25') aufweist.

7. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

daß die Feldanordnung (22) Einzelzellen (23) mit jeweils einer lokalen Decodereinrichtung (27) aufweist, welche eingangsseitig jeweils zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale

(18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') aufweist.

8. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
daß die Feldanordnung (22) jeweils eine Kantenlänge von mindestens 64 Zellen (23), entsprechend einer Bit-breite des Eingangssignals von mindestens 12 Bit, aufweist.

9. Verfahren zur Digital-Analog-Wandlung mit den folgenden Schritten:

Generieren von zumindest zwei digitalen Ausgangsdaten (13, 14) aus digitalen Eingangsdaten (11) in einer DEM-Logikeinrichtung (10), wobei aus den digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus eine Anfangszelle und eine Endzelle in der Feldanordnung (22) bestimmt werden, zwischen welchen Zellen (24) mit zu aktivierenden Energiequellen (30) liegen;

Decodieren der zumindest zwei digitalen Ausgangsdaten (13, 14) der DEM-Einrichtung (10) in Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') in einer Decodereinrichtung (16) zum Aktivieren der zu aktivierenden Zellen (24); und

Ausgeben zumindest eines quantisierten Analogsignals (25, 25') in Abhängigkeit der Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') mittels einer Feldanordnung (22) von Zellen (23).

10. Verfahren nach Anspruch 9,

d a d u r c h g e k e n n z e i c h n e t ,
daß in der DEM-Logikeinrichtung (10) aus den digitalen
Eingangsdaten (11) nach einem vorbestimmten Algorithmus
eine Anfangszelle und eine Endzelle in der Feldanordnung
(22) bestimmt werden, zwischen welchen Zellen (24) mit
5 aktivierten Energiequellen (30) liegen, und insbesondere
wenn die aktivierten Zellen (24) die letzte Zelle der
Feldanordnung (22) erreichen, an der ersten Zelle der
Feldanordnung (22) anknüpfend Zellen (24) aktiviert wer-
10 den.

11.Verfahren nach Anspruch 10,

d a d u r c h g e k e n n z e i c h n e t ,
daß ein DWA (Data Weighted Averaging) -Algorithmus oder
15 ein bi-DWA (bidirectional Data Weighted Averaging) -Algo-
rithmus oder ein ILA (Individual Level Averaging) -Algo-
rithmus in der DEM-Logikeinrichtung (10) zum Bestimmen
der zu aktivierenden Zellen (24) der Feldanordnung (22)
eingesetzt wird.

12.Verfahren nach einem der Ansprüche 9 bis 11,

d a d u r c h g e k e n n z e i c h n e t ,
daß die DEM-Logikeinrichtung (10) ausgangsseitig zwei di-
gitale Ausgangsdaten (13, 14), ein Vorzeichensignal (15)
25 und ein Taktsignal (12) generiert, welche an die Decoder-
einrichtung (16) übermittelt werden.

13.Verfahren nach einem der Ansprüche 9 bis 12,

d a d u r c h g e k e n n z e i c h n e t ,
30 daß die Decodereinrichtung (16) ausgangsseitig zwei Zei-
lenansteuersignale (18, 20) und drei Spaltenansteuersig-
nale (17, 19, 21) und vorzugsweise zwei dazu komplementä-
re Zeilenansteuersignale (18', 20') und drei komplementä-

re Spaltenansteuersignale (17', 19', 21') generiert, durch welche Energiequellen (30) in vorbestimmten Zellen (24) der Feldanordnung (22) aktiviert werden.

5 14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, daß die Feldanordnung (22) zwei zueinander invertierte quantisierte analoge Ausgangssignale (25, 25') ausgibt.

10 15. Verfahren nach einem der Ansprüche 9 bis 14, dadurch gekennzeichnet, daß in der Feldanordnung (22) Einzelzellen (23) mit jeweils einer lokalen Decodereinrichtung (27) eingesetzt werden, welche eingangsseitig jeweils zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 15 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') zur Ansteuerung einer Energiequelle (30) der Zelle einsetzen.

20

16. Verfahren nach einem der Ansprüche 9 bis 15, dadurch gekennzeichnet, daß eine lokale Decodereinrichtung (16) in einer Zelle (23) der Feldanordnung (22) eine Energiequelle (30) auf 25 einen Widerstand (31) der lokalen Decodereinrichtung (27) schaltet, wenn ein erstes Spaltensignal (17) und ein erstes Zeilensignal (18), oder ein zweites Spaltensignal (19) und ein zweites Zeilensignal (20), oder ein drittes Spaltensignal (21) aktiviert werden.

30

Zusammenfassung

Die vorliegende Erfindung stellt einen Digital-Analog-Wandler bereit mit: einer DEM-Logikeinrichtung (10) zum Generieren
5 von zumindest zwei digitalen Ausgangsdaten (13, 14) aus den digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus unter Bestimmung einer Anfangszelle und einer Endzelle in der Feldanordnung (22), zwischen welchen Zellen (24) mit zu aktivierenden Energiequellen (30) liegen; einer Decodereinrichtung (16) zum Decodieren der zumindest zwei digitalen
10 Ausgangsdaten (13, 14) der DEM- Einrichtung (10) in Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') zum Aktivieren der zu aktivierenden Zellen (24); und einer Feldanordnung (22) von Zellen (23) zum Ausgeben zumindest
15 eines quantisierten Analogsignals (25, 25') in Abhängigkeit der Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21'). Die vorliegende Erfindung stellt ebenso ein Verfahren zur Digital-Analog-Wandlung bereit.

20 Fig. 1

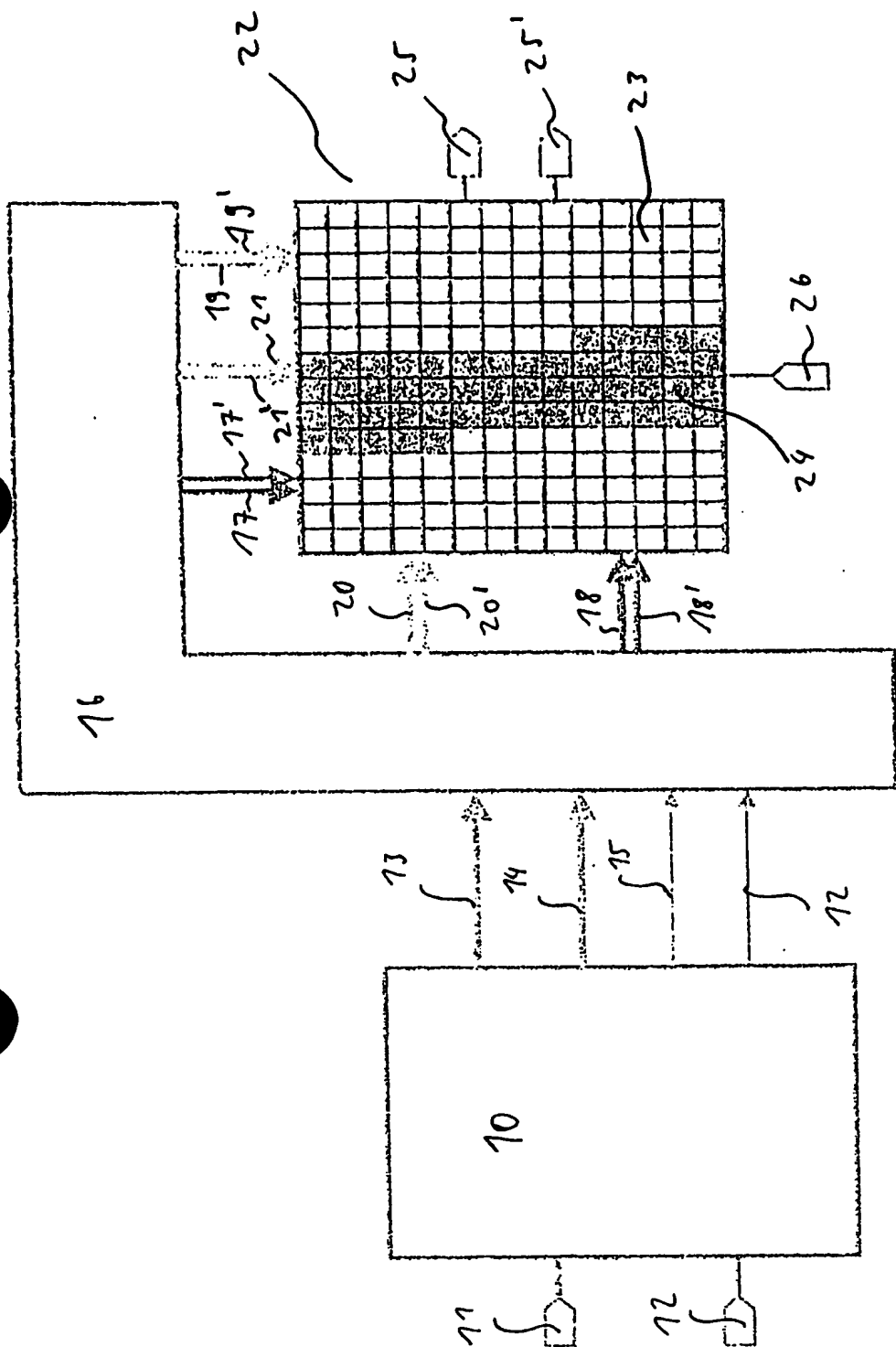


FIG. 1

Bezugszeichenliste

	10	DEM-Logikeinrichtung (dynamic element matching)
	11	digitale Eingangsdaten, vorzugsweise parallel mit 12 Bit
5	12	Taktsignal
	13	digitales Ausgangssignal (Anfangszelle)
	14	digitales Ausgangssignal (Endelle)
	15	Vorzeichensignal
	16	Decodereinrichtung
10	17	erstes Ansteuersignal Spalte
	17'	invertiertes erstes Ansteuersignal Spalte
	18	erstes Ansteuersignal Zeile
	18'	invertiertes erstes Ansteuersignal Zeile
	19	zweites Ansteuersignal Spalte
15	19'	invertiertes zweites Ansteuersignal Spalte
	20	zweites Ansteuersignal Zeile
	20'	invertiertes zweites Ansteuersignal Zeile
	21	Ansteuersignal volle Spalten
	21'	invertiertes Ansteuersignal volle Spalten
20	22	Feldanordnung
	23	Einzelzelle der Feldanordnung
	24	aktivierte Zelle
	25	quantisiertes Ausgangssignal
	25'	invertiertes quantisiertes Ausgangssignal
25	26	Referenzstromsignal
	27	lokale Decodereinrichtung
	28	Potentialquelle
	29	Bezugspotential
	30	Energiequelle, vorzugsweise Stromquelle
30	31	Widerstand
	32	Widerstand
	33	Strombeitrag
	34	Strombeitrag

- 35 P-Kanal FET
- 36 N-Kanal FET
- 37 Knotenpunkt
- 38 Knotenpunkt

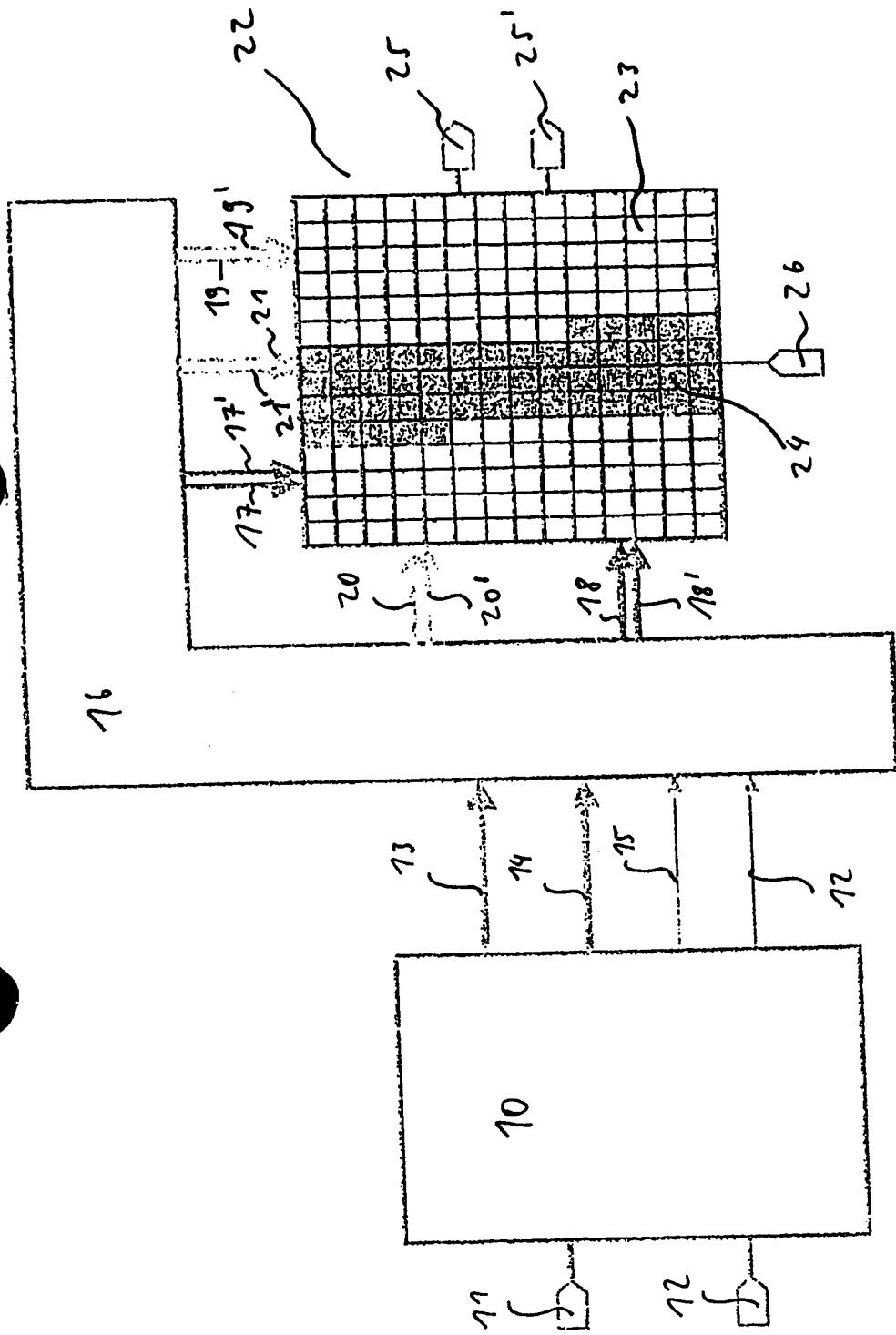


FIG. 1

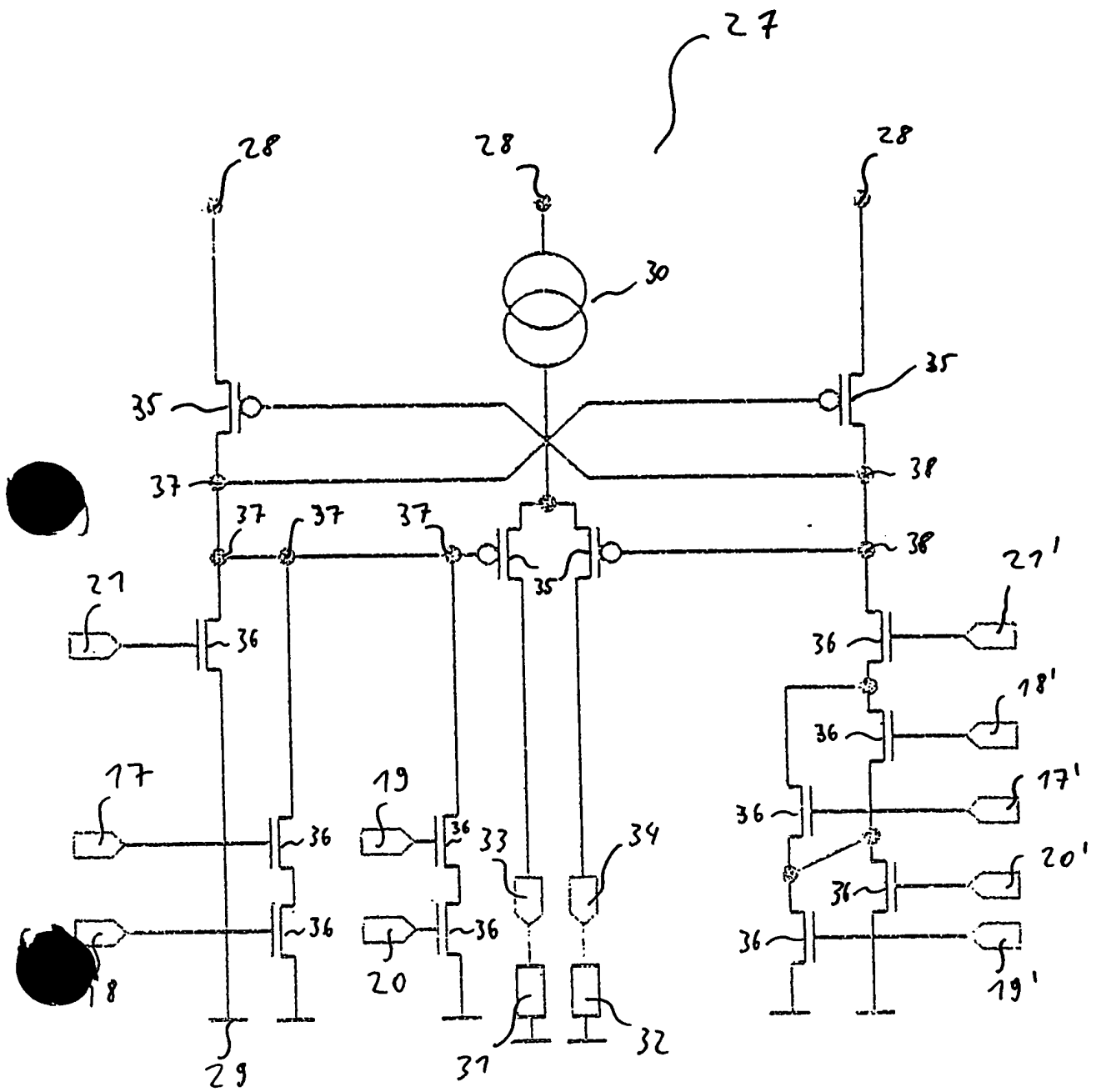


FIG. 2

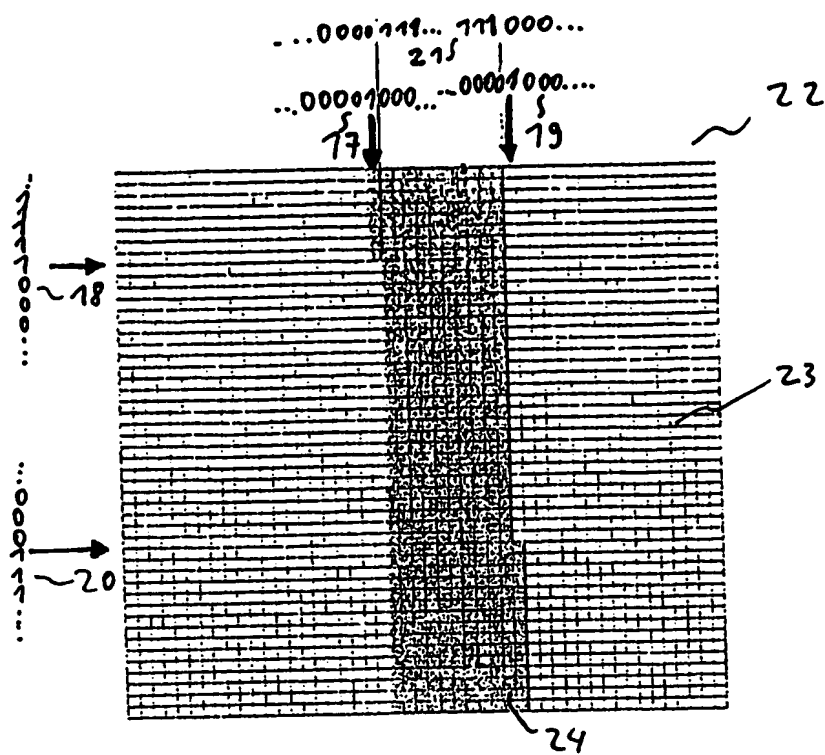


FIG. 3A

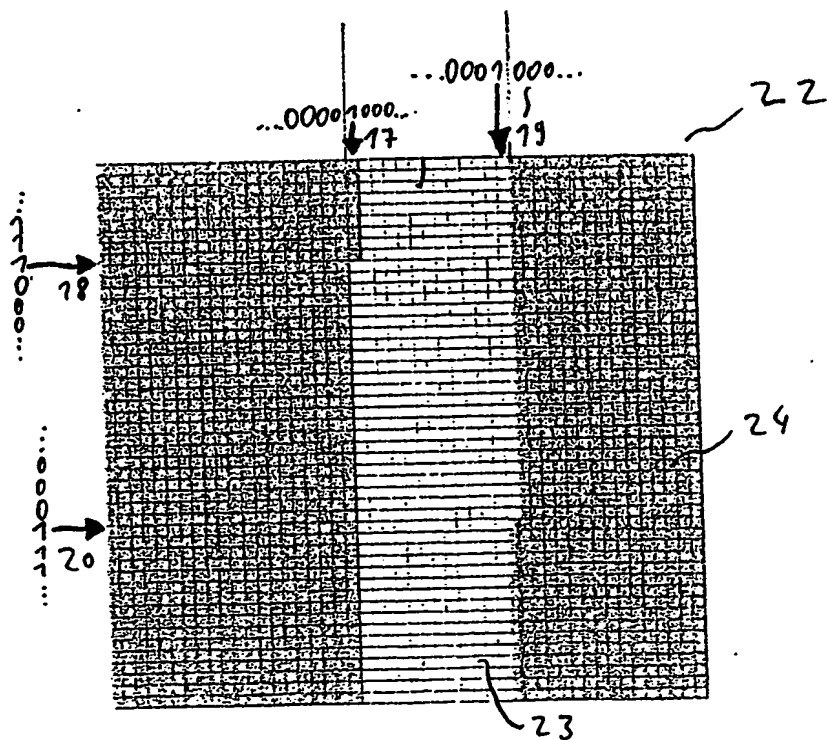


FIG. 3B

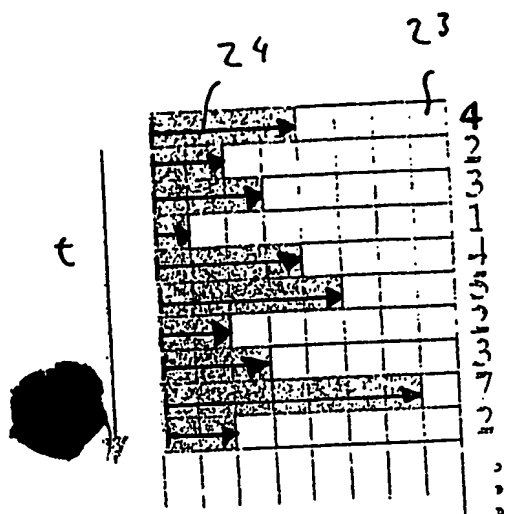


FIG. 4A

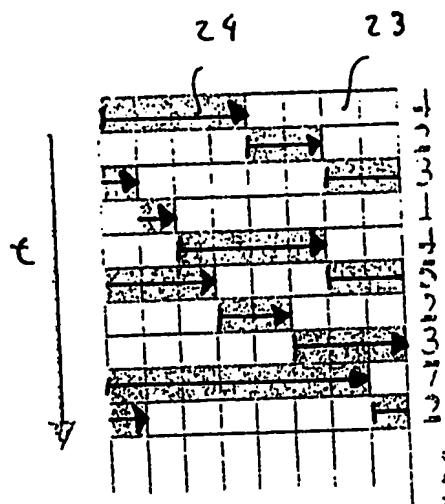


FIG. 4B

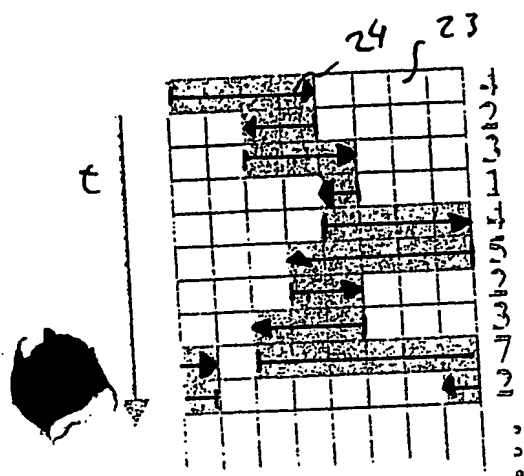


FIG. 4C

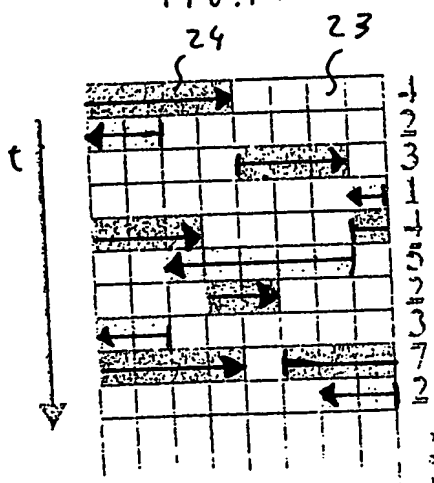


FIG. 4D

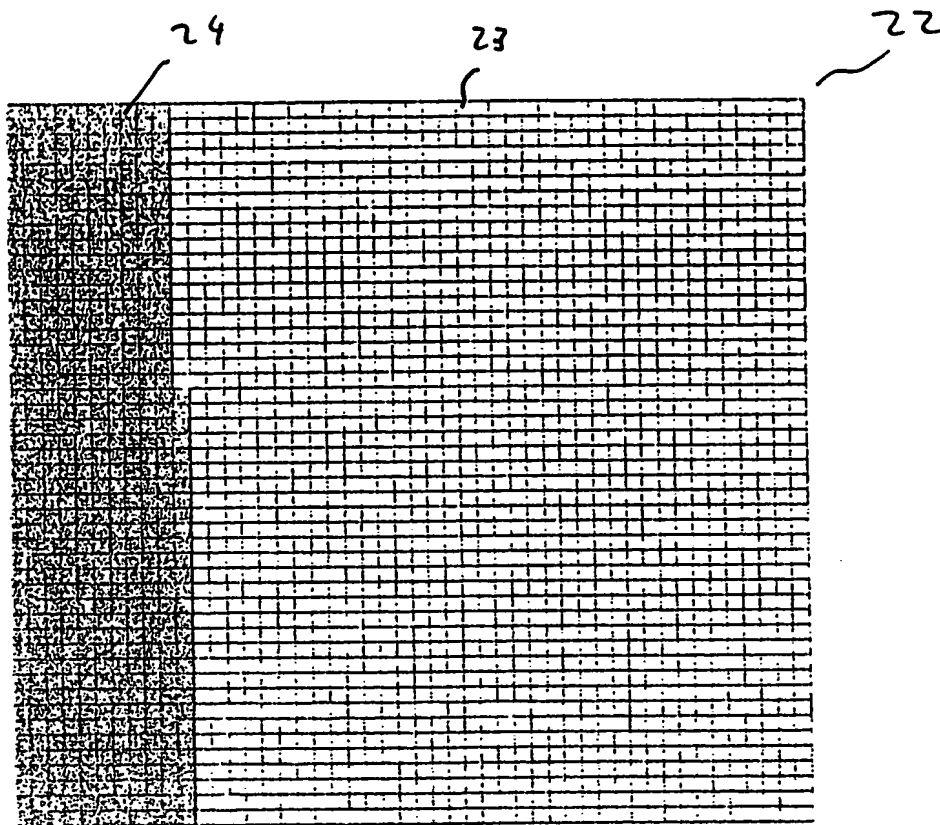


FIG. 5

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.